

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-175700

(43)Date of publication of application : 21.06.2002

(51)Int.Cl.

G11C 29/00

G01R 31/28

G11C 11/22

(21)Application number : 2000-372683

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 07.12.2000

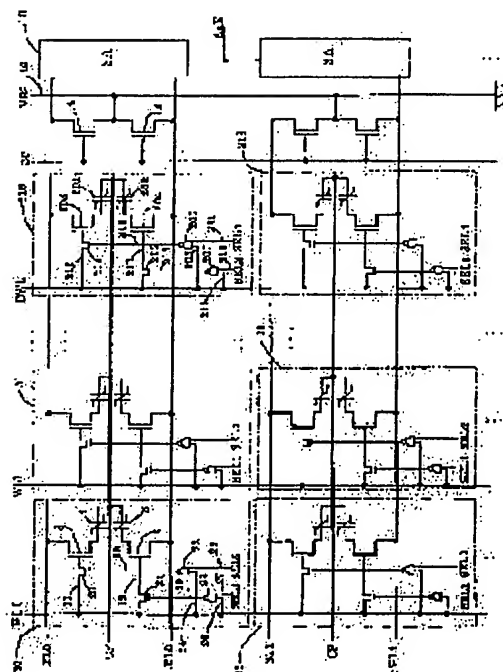
(72)Inventor : GOHO YASUSHI

## (54) SEMICONDUCTOR MEMORY

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which a ferroelectric capacitor having a defect can be specified efficiently by electrical analysis without analyzing physically in a ferroelectric capacitor having 2Tr2C constitution.

SOLUTION: A dummy cell having 2Tr2C constitution is provided, only either of transistors (20, 21) between word lines (WL0) and access transistors (3, 4) is turned on by selection signals (SEL1, SEL2), further, only either of transistors (214, 215) between dummy word lines (DWL) and access transistors (203, 204) is turned on, thereby, and two ferroelectric capacitors (1, 2) are tested independently and respectively.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-175700

(P2002-175700A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

キーワード (参考)

G 1 1 C 29/00

6 7 1

G 1 1 C 29/00

6 7 1 Z 2 G 0 3 2

G 0 1 R 31/28

11/22

5 0 1 P 5 L 1 0 6

G 1 1 C 11/22

5 0 1

G 0 1 R 31/28

B

V

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願2000-372683 (P2000-372683)

(22) 出願日 平成12年12月7日 (2000.12.7)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 五寶 靖

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外5名)

Fターム (参考) 2G032 AA07 AK11 AK12 AL14

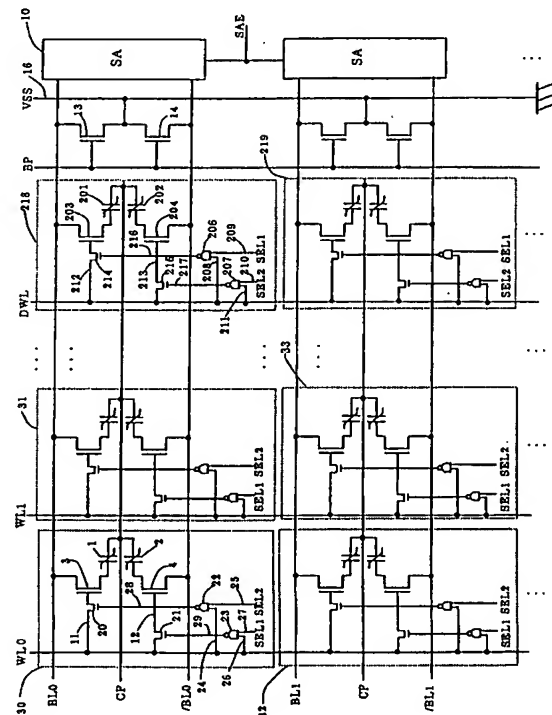
5L106 AA01 DD00 EE02

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 2 T r 2 C 構成の強誘電体キャパシタにおいて、物理的な解析をすること無く、電氣的解析により効率良く欠陥が存在する強誘電体キャパシタを特定することができる半導体メモリ装置を提供する。

【解決手段】 2 T r 2 C 構成のダミーセルを設け、選択信号 (SEL1、SEL2) により、ワード線 (WL0) とアクセストランジスタ (3、4) 間のトランジスタ (20、21) のいずれか一方のみをオン状態にし、さらにダミーワード線 (DWL) とアクセストランジスタ (203、204) 間のトランジスタ (214、215) のいずれか一方のみをオン状態にすることにより、2つの強誘電体キャパシタ (1、2) を各々独立に検査する。



## 【特許請求の範囲】

【請求項 1】 1 ビットが第 1 の強誘電体キャパシタと第 2 の強誘電体キャパシタと第 1 のアクセストランジスタと第 2 のアクセストランジスタで構成される 2 Tr 2 C 構成であり、前記 2 Tr 2 C 構成のビットが接続されているビット線対に前記 2 Tr 2 C 構成のダミービットが接続されている強誘電体メモリであって、前記 2 Tr 2 C 構成のビットを選択するワード線と前記 2 Tr 2 C 構成のビットにおけるアクセストランジスタ間、及び前記ダミービットを選択するダミーワード線と前記ダミービットにおけるアクセストランジスタ間にスイッチトランジスタを備え、前記ダミービットを活性化するためのダミーワード線を選択する第 1 のテスト回路と、前記ワード線に接続されている前記 2 Tr 2 C 構成であるビットにおける前記第 1 のアクセストランジスタ又は前記第 2 のアクセストランジスタのゲート電極のうち、いずれか一方の接続を切断する第 2 のテスト回路と、前記第 2 のテスト回路によって切断されなかった前記第 1 のアクセストランジスタもしくは前記第 2 のアクセストランジスタに接続しているビット線に接続されている前記ダミービットにおけるアクセストランジスタを切断する第 3 のテスト回路を含むことを特徴とする半導体メモリ装置。

【請求項 2】 1 ビットが第 1 の強誘電体キャパシタと第 2 の強誘電体キャパシタと第 1 のアクセストランジスタと第 2 のアクセストランジスタで構成される 2 Tr 2 C 構成であり、前記 2 Tr 2 C 構成のビットが接続されているビット線対に前記 2 Tr 2 C 構成のダミービットが接続されている強誘電体メモリであって、前記 2 Tr 2 C 構成のビットを選択するワード線と前記 2 Tr 2 C 構成のビットにおけるアクセストランジスタ間、及び前記ダミービットを選択するダミーワード線と前記ダミービットにおけるアクセストランジスタ間にスイッチトランジスタを備え、前記ダミービットを活性化するためのダミーワード線を選択する第 1 のテスト回路と、前記 2 Tr 2 C 構成のビットにおける前記第 1 の強誘電体キャパシタと前記第 2 の強誘電体キャパシタにおけるセルプレート電極のうち、いずれか一方の前記セルプレート電極のみに電位を供給する第 4 のテスト回路と、前記第 4 のテスト回路によって前記セルプレート電極に電位が供給されなかった前記 2 Tr 2 C 構成のビットにおける前記第 1 の強誘電体キャパシタもしくは前記第 2 の強誘電体キャパシタに接続されているビット線に接続されている前記ダミービットにおける強誘電体キャパシタのセルプレート電極に電位を供給する第 5 のテスト回路を含むことを特徴とする半導体メモリ装置。

【請求項 3】 前記ダミーセルのみを検査する第 6 のテスト回路をさらに含む請求項 1 又は 2 記載の半導体メモ

リ装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体キャパシタを使用した半導体メモリ装置に関する。

【0002】

【従来の技術】近年、IC カードや不揮発性メモリ製品に強誘電体キャパシタを利用した半導体製品が増えてきている。以下に、従来の半導体メモリ装置について説明する。

【0003】図 7 において、1 及び 2 は強誘電体キャパシタを、3 及び 4 は強誘電体キャパシタ 1 及び 2 が接続されている nMOS 型アクセストランジスタを示しており、強誘電体キャパシタ 1 及び 2 とアクセストランジスタ 3 及び 4 によって 2 Tr 2 C 構造の 1 ビットを形成している。

【0004】また、WL0、WL1 はワード線を、BL0、BL1 はビット線を、/BL0、/BL1 は / ビット線を、CP はセルプレート電極を、10 はセンスアンプを、SAE はセンスアンプ起動信号を、それぞれ示しており、BL0 と /BL0、BL1 と /BL1 で一つのビット線対を形成している。

【0005】また、11 はアクセストランジスタ 3 のゲート電極とワード線 WL0 との接続線を、12 はアクセストランジスタ 4 のゲート電極とワード線 WL0 との接続線を、それぞれ示している。

【0006】さらに、13 及び 14 は nMOS トランジスタを、BP はビット線プリチャージ線 BP を、16 は VSS 線を、それぞれ示し、13 及び 14 のゲート電極はビット線プリチャージ線 BP と接続され、13 及び 14 のソース電極は VSS 線 16 と接続され、13 のドレイン電極はビット線 BL0 と、14 のドレイン電極は / ビット線 /BL0 と、それぞれ接続されている。

【0007】また、100 はワード線 WL0 とビット線対 BL0 及び /BL0 で形成される 2 Tr 2 C 構成の 1 ビットである。101 はワード線 WL1 とビット線対 BL0 及び /BL0 で形成される 2 Tr 2 C 構成の 1 ビットであり、102 はワード線 WL0 とビット線対 BL1 及び /BL1 で形成される 2 Tr 2 C 構成の 1 ビットであり、103 はワード線 WL1 とビット線対 BL1 及び /BL1 で形成される 2 Tr 2 C 構成の 1 ビットである。100 から 103 に示すような 2 Tr 2 C 構成のビットがアレイ上に並べられ、半導体メモリ装置を構成している。

【0008】以上のように構成された半導体メモリ装置について、以下その動作を図 8 の動作タイミング図を用いて説明する。

【0009】まず、ワード線 WL0 が選択され電位レベルが“H”になると、ワード線 WL0 に接続しているアクセストランジスタがオン状態となる。このとき、ビッ

ト線対はビット線プリチャージ線BPによりVSSにプリチャージされている。次に、ビット線プリチャージ線BPの電位が“L”になり、トランジスタ13及び14がオフ状態になった後にセルプレート電極CPが“H”になると、強誘電体キャパシタ1及び2からビット線BL0及び／ビット線／BL0に電荷が供給され、強誘電体キャパシタ1及び2とビット線対BL0及び／BL0の容量比に応じて電位差が発生する。かかる電位差をセンスアンプ10が検知し、センスアンプ起動信号SAEが“H”になることにより、ビット線対を“H”又は“L”となるレベルにまで増幅することになる。

#### 【0010】

【発明が解決しようとする課題】一般に、強誘電体キャパシタは、読み書きの回数が増えると膜質が劣化し、蓄積されている電荷量が減少することから、1T1C構成での動作は困難であり、上記従来例に示すような2Tr2C構成が主流となっている。しかしながら、上記従来の構成では、1ビットが2Tr2C構成のため、不良ビットが発生した場合、二つの強誘電体キャパシタのどちらに欠陥が存在しているのかを電気的に分離することができないという問題点があった。

【0011】本発明は上記従来の問題点を解決するもので、物理的な解析をすること無く、電気的解析により効率良く欠陥が存在するキャパシタを特定することができる半導体メモリ装置を提供することを目的とする。

#### 【0012】

【課題を解決するための手段】上記目的を達成するために本発明にかかる半導体メモリ装置は、1ビットが第1の強誘電体キャパシタと第2の強誘電体キャパシタと第1のアクセストランジスタと第2のアクセストランジスタで構成される2Tr2C構成であり、2Tr2C構成のビットが接続されているビット線対に2Tr2C構成のダミービットが接続されている強誘電体メモリであって、2Tr2C構成のビットを選択するワード線と2Tr2C構成のビットにおけるアクセストランジスタ間、及びダミービットを選択するダミーワード線とダミービットにおけるアクセストランジスタ間にスイッチトランジスタを備え、ダミービットを活性化するためのダミーワード線を選択する第1のテスト回路と、ワード線に接続されている2Tr2C構成であるビットにおける第1のアクセストランジスタ又は第2のアクセストランジスタのゲート電極のうち、いずれか一方の接続を切断する第2のテスト回路と、第2のテスト回路によって切断されなかった第1のアクセストランジスタもしくは第2のアクセストランジスタに接続しているビット線に接続されているダミービットにおけるアクセストランジスタを切断する第3のテスト回路を含むことを特徴とする。

【0013】かかる構成により、本体ビットの2Tr2C構成における強誘電体キャパシタのうち、一方の強誘電体キャパシタのみを選択することができることから独

立に検査することが可能となり、強誘電体キャパシタの欠陥がどちらに存在するかを電気的に容易に特定することが可能となる。

【0014】次に、上記目的を達成するために本発明にかかる半導体メモリ装置は、1ビットが第1の強誘電体キャパシタと第2の強誘電体キャパシタと第1のアクセストランジスタと第2のアクセストランジスタで構成される2Tr2C構成であり、2Tr2C構成のビットが接続されているビット線対に2Tr2C構成のダミービットが接続されている強誘電体メモリであって、2Tr2C構成のビットを選択するワード線と2Tr2C構成のビットにおけるアクセストランジスタ間、及びダミービットを選択するダミーワード線とダミービットにおけるアクセストランジスタ間にスイッチトランジスタを備え、ダミービットを活性化するためのダミーワード線を選択する第1のテスト回路と、2Tr2C構成のビットにおける第1の強誘電体キャパシタと第2の強誘電体キャパシタにおけるセルプレート電極のうち、いずれか一方のセルプレート電極のみに電位を供給する第4のテスト回路と、第4のテスト回路によってセルプレート電極に電位が供給されなかった2Tr2C構成のビットにおける第1の強誘電体キャパシタもしくは第2の強誘電体キャパシタに接続されているビット線に接続されているダミービットにおける強誘電体キャパシタのセルプレート電極に電位を供給する第5のテスト回路を含むことを特徴とする。

【0015】かかる構成により、メモリセル領域のトランジスタ数を増やすことなく、本体ビットの2Tr2C構成における強誘電体キャパシタのうち一方の強誘電体キャパシタのみを選択することが可能となる。

【0016】また、本発明にかかる半導体メモリ装置は、ダミーセルのみを検査する第6のテスト回路をさらに含むことが好ましい。ダミービットに欠陥を有するかどうかについても判別可能となるため、本体セルの不良キャパシタの特定がより明確になるからである。

#### 【0017】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。なお、以下の各図において、同一の部分には、同一の参照番号を付してその説明は省略する。

【0018】（実施の形態1）まず、本発明の実施の形態1にかかる半導体メモリ装置について図1及び図2を参照しながら説明する。図1は本発明の実施の形態1にかかる半導体メモリ装置におけるメモリセルアレイの構成図である。

【0019】図1において、1及び2は強誘電体キャパシタ、3及び4はnMOS型アクセストランジスタ、WL0、WL1はワード線、BL0、BL1はビット線、／BL0、／BL1は／ビット線、CPはセルプレート電極、10はセンスアンプ、11はアクセストランジス

タ 3 のゲート電極とワード線 WL 0 との接続線、1 2 はアクセストランジスタ 4 のゲート電極とワード線 WL 0 との接続線、1 3 及び 1 4 は nMOS トランジスタ、BP はビット線ブリチャージ線、1 6 は VSS 線であり、SAE はセンスアンプ起動信号であり、これらは従来例の構成と同じである。

【0020】また 2 0 及び 2 1 は nMOS トランジスタであり、2 2 及び 2 3 は 2 入力 NAND 回路、2 4 及び 2 5 は NAND 回路 2 2 への入力線、2 6 及び 2 7 は NAND 回路 2 3 への入力線であり、2 4 と 2 6 はワード線 WL 0 に接続され、2 5 は選択信号 SEL 2 と接続され、2 7 は選択信号 SEL 1 と接続されている。2 8 は NAND 回路 2 2 の出力でトランジスタ 2 0 のゲート電極と接続され、2 9 は NAND 回路 2 3 の出力でトランジスタ 2 1 のゲート電極と接続されている。

【0021】また、3 0 はワード線 WL 0 とビット線対 BL 0 及び /BL 0 に繋がる 1 ビットを構成するブロック、3 1 はワード線 WL 1 とビット線対 BL 0 及び /BL 0 に繋がる 1 ビットを構成するブロック、3 2 はワード線 WL 0 とビット線対 BL 1 及び /BL 1 に繋がる 1 ビットを構成するブロック、3 3 はワード線 WL 1 とビット線対 BL 1 及び /BL 1 に繋がる 1 ビットを構成するブロックである。

【0022】さらに、2 0 1 及び 2 0 2 はダミーの強誘電体キャパシタ、2 0 3 及び 2 0 4 は nMOS 型アクセストランジスタ、DWL はダミーワード線であり、nMOS 型アクセストランジスタ 2 0 3 及び 2 0 4 のドレイン電極 / ソース電極は、強誘電体キャパシタ 2 0 1 及び 2 0 2 とビット線対 BL 0 及び /BL 0 に接続されている。

【0023】また、2 0 6 及び 2 0 7 は 2 入力 NAND 回路、2 0 8 及び 2 0 9 は NAND 回路 2 0 6 への入力線、2 1 0 及び 2 1 1 は NAND 回路 2 0 7 への入力線であり、2 0 8 と 2 1 1 はダミーワード線 DWL に接続され、2 0 9 は選択信号 SEL 1 と接続され、2 1 0 は選択信号 SEL 2 と接続されている。2 1 6 は NAND 回路 2 0 6 の出力でトランジスタ 2 1 4 のゲート電極と接続され、2 1 7 は NAND 回路 2 0 7 の出力でトランジスタ 2 1 5 のゲート電極と接続されている。

【0024】さらに、2 1 8 はダミーワード線 DWL とビット線対 BL 0 及び /BL 0 に繋がる 1 ビットを構成するブロック、2 1 9 はダミーワード線 DWL とビット線対 BL 1 及び /BL 1 に繋がる 1 ビットを構成するブロックである。3 0 ~ 3 3、2 1 8、2 1 9 のような構成のビットがアレイ上に並べられ、半導体メモリ装置を構成している。

【0025】以上のように構成された半導体メモリ装置について、以下その動作を図 2 の動作タイミング図を用い、ブロック 3 0 を例に説明する。

【0026】ノーマル動作時、ワード線 WL 0 が選択さ

れると電位レベルが “H” になり、ダミーワード線 DWL は非選択状態のままであることから電位レベルは

“L” のまま保持される。選択信号 SEL 1 及び SEL 2 についても “L” 状態のままであることから、NAND 回路 2 2 及び 2 3 の出力 2 8 及び 2 9 は常に “H” になっており、トランジスタ 2 0 及び 2 1 はオン状態になっている。このとき、ビット線対はビット線ブリチャージ線 BP により VSS にブリチャージされている。

【0027】次に、ビット線ブリチャージ線 BP の電位が “L” になり、トランジスタ 1 3 及び 1 4 がオフ状態になった後、セルプレート電極 CP が “H” になると、強誘電体キャパシタ 1 及び 2 からビット線対 BL 0 及び /BL 0 に電荷が供給され、強誘電体キャパシタ 1 及び 2 とビット線対 BL 0 及び /BL 0 の容量比に応じて電位差が発生する。かかる電位差をセンスアンプ 1 0 が検知し、センスアンプ起動信号 SAE が “H” になることにより、ビット線対を “H” 又は “L” となるレベルにまで増幅することになる。

【0028】そして、強誘電体キャパシタ 1 のみを検査する場合については、選択信号 SEL 1 のみが “H” になった後、ワード線 WL 0 が選択されて電位レベルが “H” になると、NAND 回路 2 3 の出力 2 9 が “L” になり、トランジスタ 2 1 がオフ状態となる。一方、ダミーセルのブロック 2 1 8 内での動作は、選択信号 SEL 1 のみが “H” になった後、ダミーワード線 DWL が選択され電位レベルが “H” になると、NAND 回路 2 0 6 の出力 2 1 6 が “L” になり、トランジスタ 2 1 4 がオフ状態となる。

【0029】かかる動作によって、ビット線 BL 0 には強誘電体キャパシタ 1 の電荷が分配され、/ビット線 /BL 0 には、強誘電体キャパシタ 2 0 2 の電荷が分配されることから、ビット線対 BL 0 及び /BL 0 に電位差が発生する。かかる電位差をセンスアンプ 1 0 が検知し、センスアンプ起動信号 SAE が “H” になることにより、ビット線対を “H” 又は “L” となるレベルにまで増幅することになる。

【0030】次に、強誘電体キャパシタ 2 のみを検査する場合も同様に、選択信号 SEL 2 のみが “H” になった後、ワード線 WL 0 が選択され電位レベルが “H” になると、NAND 回路 2 2 の出力 2 8 が “L” になり、トランジスタ 2 0 がオフ状態となる。一方、ダミーセルのブロック 2 1 8 内での動作は、選択信号 SEL 2 のみが “H” になった後、ダミーワード線 DWL が選択され電位レベルが “H” になると、NAND 回路 2 0 7 の出力 2 1 7 が “L” になり、トランジスタ 2 1 5 がオフ状態となる。

【0031】かかる動作によって、ビット線 BL 0 には、強誘電体キャパシタ 2 の電荷が分配され、/ビット線 /BL 0 には、強誘電体キャパシタ 2 0 1 の電荷が分配されることから、ビット線対 BL 0、/BL 0 に電位

・ 差が発生する。かかる電位差をセンスアンプ10が検知し、センスアンプ起動信号SAEが“H”になることにより、ビット線対を“H”又は“L”となるレベルにまで増幅することになる。

【0032】 以上のように本実施の形態1によれば、2Tr2C構成の強誘電体メモリにおいて、ワード線WL0とアクセストランジスタ3及び4の間にトランジスタ20及び21を挿入し、選択信号SEL1及びSEL2と2Tr2C構成のダミーセルを用いることにより、強誘電体キャパシタ1と2を独立に検査することが可能となり、強誘電体キャパシタの欠陥がどちらに存在するかを電氣的に容易に特定することができる。

【0033】 (実施の形態2) 次に、本発明の実施の形態2にかかる半導体メモリ装置について図3及び図4を参照しながら説明する。図3は、本発明の実施の形態2にかかる半導体メモリ装置におけるメモリセルアレイの構成図である。

【0034】 図3において、1及び2は強誘電体キャパシタ、3及び4はnMOS型アクセストランジスタ、WL0、WL1はワード線、BL0、BL1はビット線、/BL0、/BL1は/ビット線、10はセンスアンプ、11はアクセストランジスタ3のゲート電極とワード線WL0との接続線、12はアクセストランジスタ4のゲート電極とワード線WL0との接続線、13及び14はnMOSトランジスタ、BPはビット線プリチャージ線、16はVSS線であり、SAEはセンスアンプ起動信号であり、これらは従来例の構成と同じである。

【0035】 また、CP0はセルプレート電極、CP1はセルプレート電極であり、セルプレート電極CP0は、強誘電体キャパシタ1の接続され、セルプレート電極CP1は、強誘電体キャパシタ2に接続されている。302はワード線WL0とビット線対BL0及び/BL0で形成される2Tr2C構成の1ビットである。303は、ワード線WL1とビット線対BL0及び/BL0で形成される2Tr2C構成の1ビットであり、304は、ワード線WL0とビット線対BL1及び/BL1で形成される2Tr2C構成の1ビットであり、305はワード線WL1とビット線対BL1及び/BL1で形成される2Tr2C構成の1ビットである。

【0036】 310及び311はダミーの強誘電体キャパシタ、312及び313はnMOS型アクセストランジスタ、DWLはダミーワード線であり、nMOS型アクセストランジスタ312及び313のドレイン電極/ソース電極は、強誘電体キャパシタ310及び311とビット線対BL0及び/BL0に接続されている。セルプレート電極CP0は、強誘電体キャパシタ311の接続され、セルプレート電極CP1は、強誘電体キャパシタ310に接続されている。

【0037】 以上のように構成された半導体メモリ装置について、以下その動作を図4の動作タイミング図を用

いて説明する。

【0038】 ノーマル動作時、ワード線WL0が選択されて電位レベルが“H”になり、ダミーワード線DWLは非選択状態のままであることから、電位レベルは“L”状態のまま保持される。このとに、ビット線対はビット線プリチャージ線BPによりVSSにプリチャージされていることになる。

【0039】 そして、ビット線プリチャージ線BPの電位が“L”になり、トランジスタ13及び14がオフ状態になった後、セルプレート電極CP0とセルプレート電極CP1とが共に“H”になると、強誘電体キャパシタ1及び2からビット線対BL0及び/BL0に電荷が供給され、強誘電体キャパシタ1及び2とビット線対BL0及び/BL0の容量比に応じて電位差が発生する。かかる電位差をセンスアンプ10が検知し、センスアンプ起動信号SAEが“H”になることにより、ビット線対を“H”又は“L”となるレベルにまで増幅することになる。

【0040】 次に、強誘電体キャパシタ1のみを検査する場合については、ワード線WL0とダミーワード線DWLが共に選択され、電位レベルが“H”になり、セルプレート電極CP0が“H”となり、セルプレート電極CP1が“L”に固定されたままとなる。

【0041】 かかる動作により、ビット線BL0には、強誘電体キャパシタ1の電荷が分配され、/ビット線/BL0には、強誘電体キャパシタ311の電荷が分配されることで、ビット線対BL0及び/BL0に電位差が発生する。かかる電位差をセンスアンプ10が検知し、センスアンプ起動信号SAEが“H”になることにより、ビット線対を“H”又は“L”となるレベルにまで増幅することになる。

【0042】 そして、強誘電体キャパシタ2のみを検査する場合についても同様に、ワード線WL0とダミーワード線DWLが共に選択され、電位レベルが“H”になり、セルプレート電極CP1が“H”となり、セルプレート電極CP0が“L”に固定されたままとなる。

【0043】 かかる動作により、ビット線BL0には、強誘電体キャパシタ2の電荷が分配され、/ビット線/BL0には、強誘電体キャパシタ310の電荷が分配されることから、ビット線対BL0及び/BL0に電位差が発生する。かかる電位差をセンスアンプ10が検知し、センスアンプ起動信号SAEが“H”になることにより、ビット線対を“H”又は“L”となるレベルにまで増幅することになる。

【0044】 以上のように本実施の形態2によれば、2Tr2C構成の強誘電体メモリにおいて、ワード線WL0とセルプレート電極CP0とセルプレート電極CP1と2Tr2C構成のダミーセルを用いることにより、メモリセル領域のトランジスタ数を増やすことなく、強誘電体キャパシタ1と2を独立に検査することが可能とな

り、強誘電体キャパシタの欠陥がどちらに存在するかを電氣的に容易に特定することができる。

【0045】（実施の形態3）次に、本発明の実施の形態3にかかる半導体メモリ装置について図5及び図6を参照しながら説明する。図5は、本発明の実施の形態3にかかる半導体メモリ装置の動作タイミング図である。図5の基本構成は、実施の形態1にかかる半導体メモリ装置と同様である。

【0046】ダミーセルのみを検査する場合、ワード線WL0は非選択状態のままで、電位レベルは“L”状態が保持される一方、ダミーワード線DWLのみが選択され、DWLの電位レベルが“H”になる。選択信号SEL1及びSEL2は“L”状態のままであることから、NAND回路206及び207の出力216及び217は常に“H”になっており、トランジスタ214及び215はオン状態になっている。このときビット線対BL0及び／BL0は、ビット線プリチャージ線BPによりVSSにプリチャージされていることになる。

【0047】そして、ビット線プリチャージ線BPの電位が“L”になり、トランジスタ13及び14がオフ状態になった後、セルプレート電極CPが“H”になると、強誘電体キャパシタ201及び202からビット線対BL0及び／BL0に電荷が供給され、強誘電体キャパシタ201及び202とビット線対BL0及び／BL0の容量比に応じて電位差が発生する。かかる電位差をセンスアンプ10が検知し、センスアンプ起動信号SAEが“H”になることにより、ビット線対を“H”又は“L”となるレベルにまで増幅することになる。

【0048】図6も、本発明の実施の形態3にかかる半導体メモリ装置の動作タイミング図である。図6においては、実施の形態2にかかる半導体メモリ装置と同様の構成について説明する。

【0049】ダミーセルのみを検査する場合、ワード線WL0は非選択状態のままで、電位レベルは“L”状態が保持される一方、ダミーワード線DWLのみが選択され、DWLの電位レベルが“H”になる。このときビット線対BL0及び／BL0は、ビット線プリチャージ線BPによりVSSにプリチャージされていることになる。

【0050】そして、ビット線プリチャージ線BPの電位が“L”になり、トランジスタ13及び14がオフ状態になった後、セルプレート電極CP0とセルプレート電極CP1とが共に“H”になると、強誘電体キャパシタ310及び311からビット線対BL0及び／BL0に電荷が供給され、強誘電体キャパシタ310及び311とビット線対BL0及び／BL0の容量比に応じて電位差が発生する。かかる電位差をセンスアンプ10が検知し、センスアンプ起動信号SAEが“H”になることにより、ビット線対を“H”又は“L”となるレベルにまで増幅することになる。

【0051】以上のように本実施の形態3によれば、2Tr2C構成のダミーセルを検査することが可能となり、2Cのどちらかに存在する強誘電体キャパシタの欠陥を特定するにあたって、ダミーセルに欠陥が無い事が明らかになり、より効率の高い不良解析の実施が可能となる。

#### 【0052】

【発明の効果】以上のように本発明にかかる半導体メモリ装置によれば、本体セルと同様の構成の2Tr2Cのダミーセルを設け、2Tr2Cのアクセストランジスタのゲート電極とワード線間にトランジスタを設けること、あるいはセルプレート電極を2Tr2Cの強誘電体キャパシタごとに分離することにより、片側の強誘電体キャパシタのみにアクセスすることが可能となり、強誘電体キャパシタの欠陥を物理的な解析をすること無く、電氣的検査により簡単に特定することが可能となる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる半導体メモリ装置におけるメモリアレイの構成図

【図2】 本発明の実施の形態1にかかる半導体メモリ装置における検査タイミング図

【図3】 本発明の実施の形態2にかかる半導体メモリ装置におけるメモリアレイの構成図

【図4】 本発明の実施の形態2にかかる半導体メモリ装置における検査タイミング図

【図5】 本発明の実施の形態3にかかる半導体メモリ装置における検査タイミング図

【図6】 本発明の実施の形態3にかかる半導体メモリ装置における検査タイミング図

【図7】 従来の半導体メモリ装置におけるメモリアレイの構成図

【図8】 従来の半導体メモリ装置における検査タイミング図

#### 【符号の説明】

1、2 強誘電体キャパシタ

3、4 nMOS型アクセストランジスタ

10 センスアンプ

11、12 アクセストランジスタとワード線間の配線

13、14、20、21、214、215 nMOSTランジスタ

16 VSS線

22、23、206、207 2入力NAND回路

24、25、26、27、208、209、210、211 NAND回路への入力線

28、29、216、217 NAND回路の出力線

30、31、32、33、100、101、102、103、302、303、304、305 2Tr2C構成の1ビット

201、202、310、311 ダミーの強誘電体キャパシタ

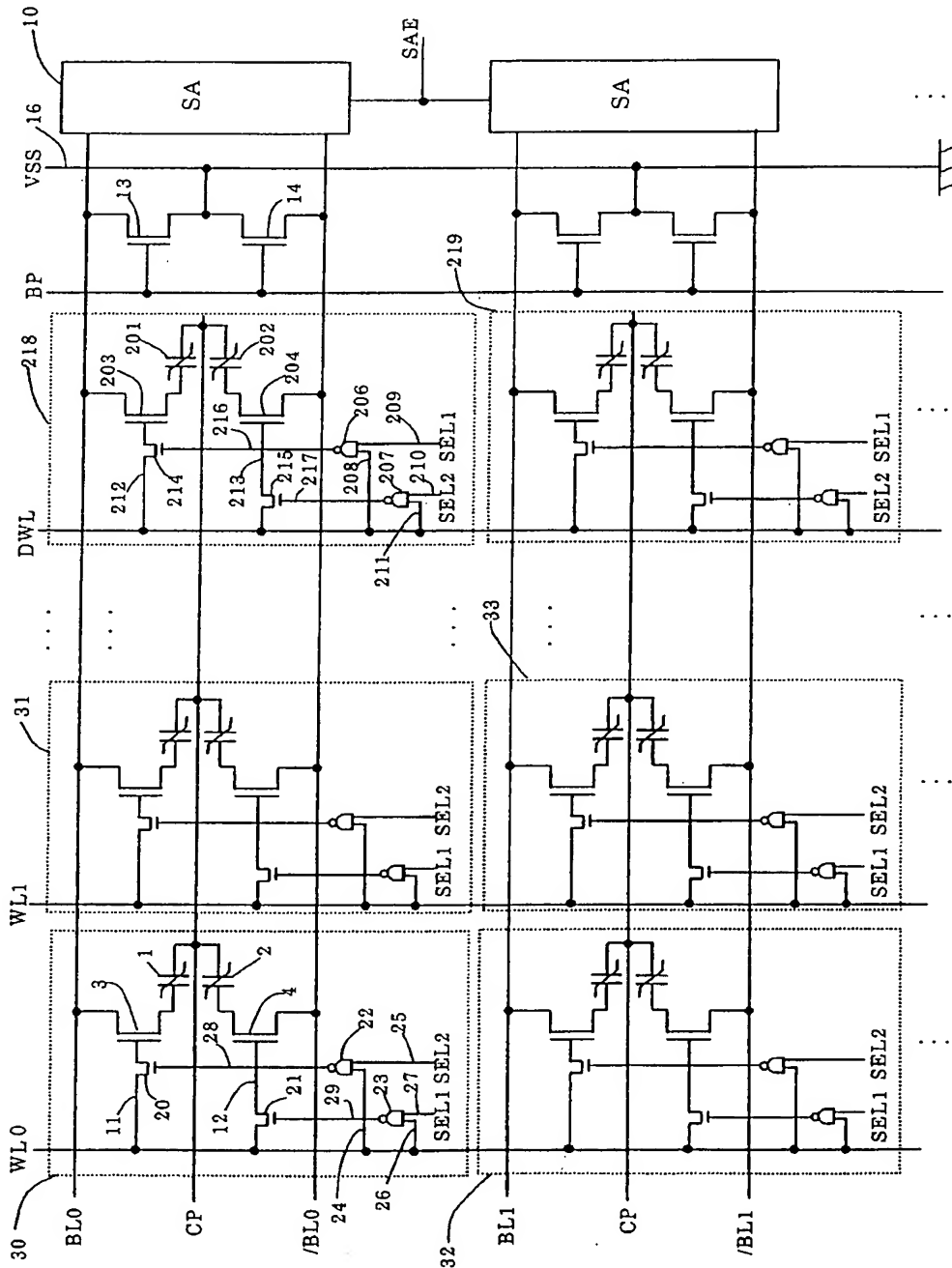
11

12

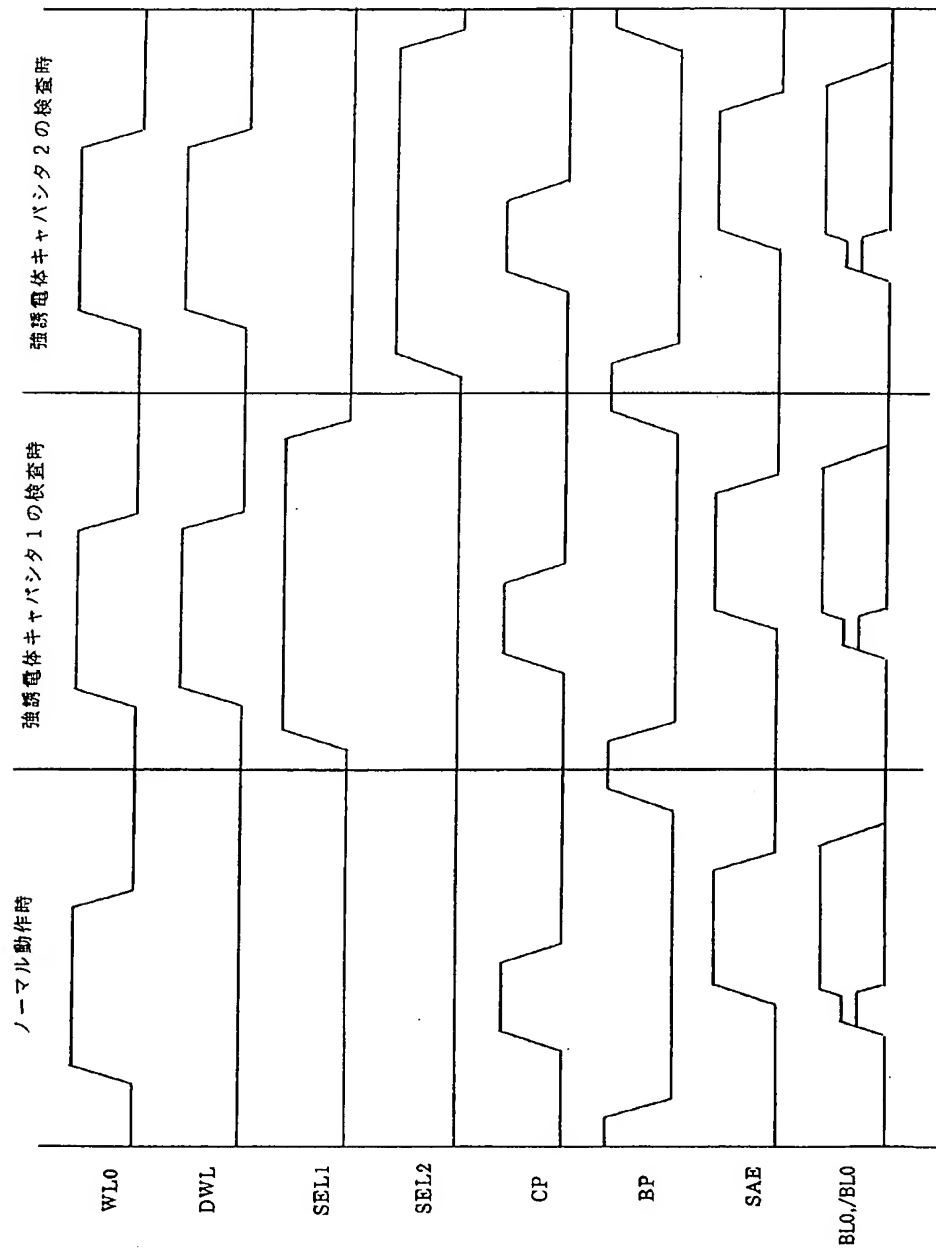
203、204、312、313 ダミーセルのnMOS型アクセストランジスタ  
 212、213、315、316 ダミーセルのアクセストランジスタとワード線間の配線  
 218、219、317、318 ダミーセルの2Tr 2C構成の1ビット  
 BL0、BL1 ビット線

/BL0、/BL1 /ビット線  
 BP ビット線プリチャージ線  
 CP、CP0、CP1 セルプレート電極  
 DWL ダミーワード線  
 SAE センスアンプ起動信号  
 WL0、WL1 ワード線

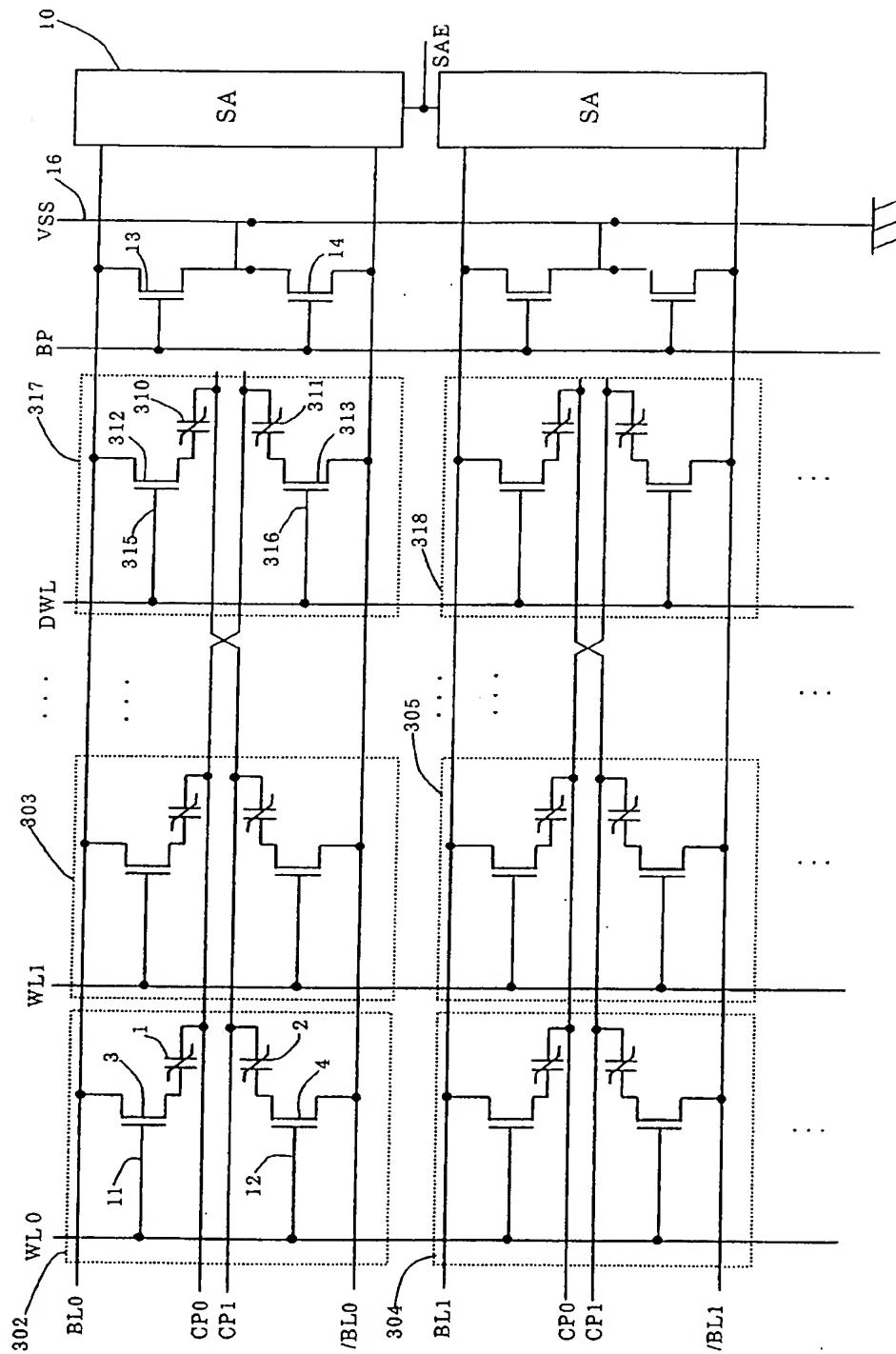
【図1】



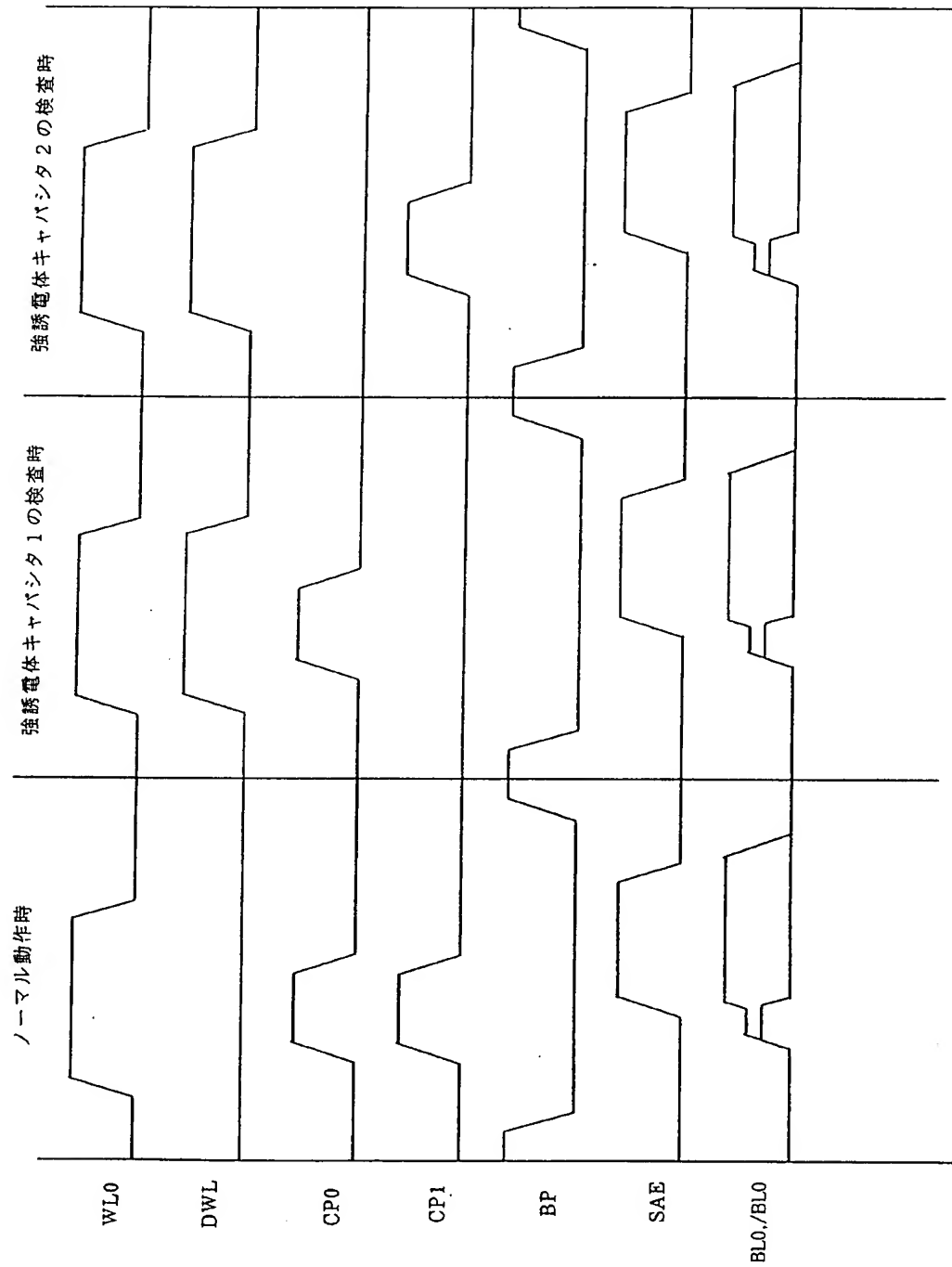
【図2】



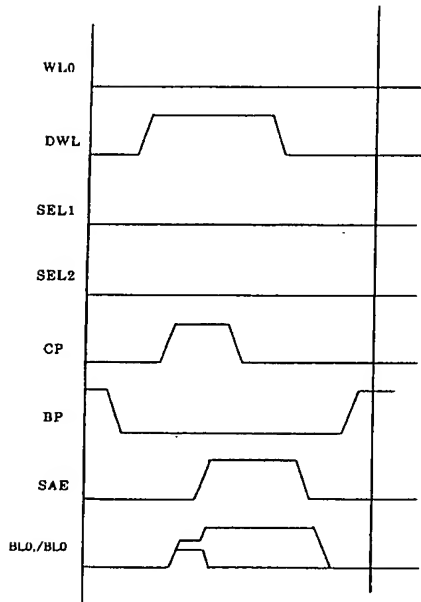
【図 3】



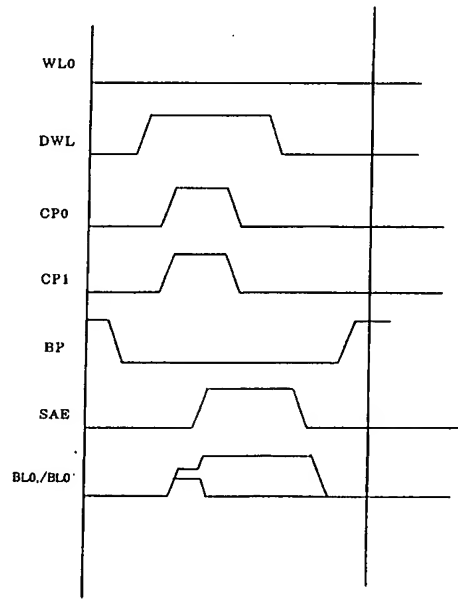
【図4】



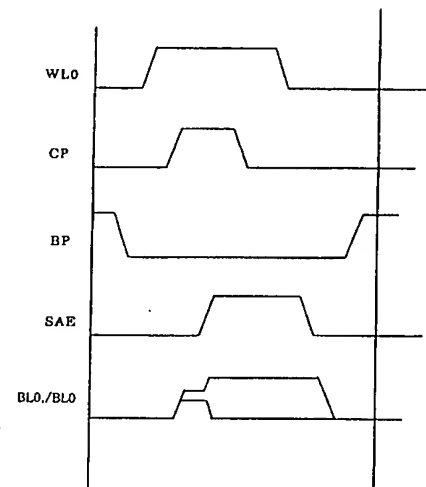
【図 5】



【図 6】



【図 8】



【図 7】

